

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

**Український державний університет
науки і технологій**

Кафедра «Електронні обчислювальні машини»

АРХІТЕКТУРА КОМП'ЮТЕРІВ

Методичні рекомендації для виконання курсової роботи

Електронний аналог
друкованого видання

Дніпро
2023

УДК 004.2
А 87

Укладачі:

О. Й. Єгоров, В. О. Шаповалов, М. Б. Беляєв

Рекомендовано МКФ «КТС» (протокол від 26.04.2023)
Зареєстровано НМВ УДУНТ (№ 610 від 17.05.2023)

А 87 Архітектура комп'ютерів : методичні рекомендації для виконання курсової роботи / уклад. : О. Й. Єгоров, В. О. Шаповалов, М. Б. Беляєв ; Укр. держ. ун-т науки і технологій. – Дніпро : УДУНТ, 2023. – 25 с.

Методичні рекомендації призначено студентам 3-го курсу спеціальності 123 «Комп'ютерна інженерія» для підготовки до виконання курсової роботи з дисципліни «Архітектура комп'ютерів».

© Єгоров О. Й. та ін., укладання, 2023
© Укр. держ. ун-т науки і технологій, 2023

ЗМІСТ

Вступ.....	4
1 Загальні вказівки до курсової роботи	5
2 Список прийнятих скорочень	6
3 Зміст курсової роботи	7
4 Теоретичні відомості	8
5 Порядок виконання роботи	14
5.1 Формати команд	14
5.2 Структура процесора	16
5.3 Алгоритм роботи буфера передвибірки	18
5.4 Алгоритм обробки команд	19
5.5. Перелік керуючих і освідомлюючих сигналів	22
5.6. Регістр прапорів	22
Список літератури.....	23
Додаток А. Таблиця варіантів завдань до курсової роботи	24

ВСТУП

Метою практичних робіт є набуття практичних навичок у використанні отриманих знань при розробці структури процесора, алгоритмів функціонування основних пристроїв центрального процесора і пам'яті, а також закріплення основних теоретичних положень курсу. В результаті виконання курсової роботи студенти повинні отримати чітке уявлення про взаємодію основних вузлів та блоків центрального процесора у процесі виконання машинних команд та навчитися використовувати апарат, методи та засоби проектування ЕОМ. Цій меті найкраще відповідає самостійне виконання студентами розробки структури, алгоритмічного опису, схем.

Виконання наведених практичних робіт сприяє:

- покращенню розуміння процесів виконання машинних команд процесором;
- отриманню практичних навичок розробки пристрою центрального процесора і пам'яті та алгоритмів їх функціонування;
- формуванню вміння документувати та презентувати результати розробок через складання звітної документації та захист курсової роботи.

Очікуванні результати навчання, досягненню яких сприяє видання:

- знання основ функціонування комп'ютерів;
- знання основних алгоритмів роботи пристроїв комп'ютерів;
- застосування знань для побудови апаратних засобів та розробки алгоритмів обчислювальних систем;
- застосування знань організації, функціонування та взаємодії як окремих блоків комп'ютера, так і ПК і його периферійних пристроїв в цілому;
- застосування знань для побудови апаратних засобів та розробки алгоритмів обчислювальних систем;
- здатність поєднати знання для розробки алгоритмів та програмного забезпечення рівнів функціонування компонентів комп'ютерів.

1 ЗАГАЛЬНІ ВКАЗІВКИ ДО КУРСОВОЇ РОБОТИ

Курсова робота з дисципліни «Архітектура комп'ютерів» є однією з основних самостійних робіт, що готують студента до дипломного проектування.

Тому завдання на курсову роботу побудовано так, що для роботи над ним потрібне залучення знань і даного курсу, і раніше вивчених дисциплін.

Метою даної курсової роботи є придбання практичних навиків у використанні отриманих знань при розробці структури ЕОМ, ознайомлення з засобами автоматизації проектування ЕОМ, а також закріплення основних теоретичних положень курсу. В результаті виконання проекту, студент повинен отримати чітке уявлення про взаємодію основних вузлів та блоків ЕОМ в процесі обробки інформації та навчитися використовувати апарат, методи та засоби проектування ЕОМ. Цій меті найкращим чином відповідає самостійне виконання студентом розробки структури, алгоритмічного опису, схем і конструкцій спеціалізованого процесора ЕОМ.

Курсова робота виконується в VI семестрі. Початковими даними для проектування є основні вимоги до функціональних та технічних характеристик процесора, перераховані у формі завдання на курсову роботу (додаток А). Варіанти завдань обираються за номером студента в списку групи та узгоджуються з викладачем.

Виконана курсова робота оформлюється у вигляді пояснювальної записки та передається на перевірку викладачу.

Пояснювальна записка повинна бути представлена у роздрукованому вигляді. Її вміст повністю повинен відповідати вимогам до курсової роботи, а оформлення, згідно встановленими правилами і стандартами оформлення подібного роду документів.

2 СПИСОК ПРИЙНЯТИХ СКОРОЧЕНЬ

- АЛП – арифметико-логічний пристрій.
ПУ – пристрій управління.
ЗЗП – зовнішній запам'ятовуючий пристрій.
КОП – код операції.
АЧ – адресна частина команди.
Рг1, Рг2 – регістри операндів АЛП.
РгР – регістр результату.
ОП – оперативна пам'ять.
РА – регістр адреси ОП.
РгС – регістр слова ОП.
РгК – регістр команд.
ДШ – дешифратор коду операції.
К_і – і-й керуючий сигнал.
ОС_і – і-1 освідомлюючий сигнал.
ІР – індексний регістр.
БР – базовий регістр.
РЗП – регістр загального призначення.
СмА – суматор адреси.
ЛчАК – лічильник адреси команд.
ЛчБ – лічильник буфера передвибірки.
РгП – регістр прапорів.
АО – арифметична операція.
ПО – посилкова операція.
БП(БУП) – безумовний перехід.
УПП – умовний перехід за переповненням.
УПЗ – умовний перехід за знаком.
УПН – умовний перехід за нулем.

3 ЗМІСТ КУРСОВОЇ РОБОТИ

В ході виконання курсової роботи студент повинен розробити:

- формати команд;
- структурну схему ЕОМ;
- алгоритм взаємодії процесора та ОП;
- алгоритм роботи процесора;
- алгоритми обробки команд;
- алгоритм формування регістра прапорів.

Курсова робота оформлюється у вигляді пояснювальної записки та графічної частини.

До пояснювальної записки повинні входити :

- титульний лист, на якому вказується назва роботи, прізвище студента й керівника, номер групи та шифр студента;
- завдання на курсовий проект;
- список використовуваних скорочень;
- введення;
- теоретичні відомості;
- список керуючих сигналів;
- список освідомлюючих сигналів;
- формати команд;
- структурна схема розробленої ЕОМ;
- алгоритм вибірки команд;
- загальний алгоритм виконання команд;
- алгоритми виконання команд для кожного з форматів;
- висновки;
- список використаної літератури.

4 ТЕОРЕТИЧНІ ВІДОМОСТІ

В курсовій роботі розроблюються питання організації й функціонування центрального ядра ЕОМ, включаючи процесор, розглянутий як сукупність АЛП та пристрою управління й оперативну пам'ять (ОП). Організація введення-виведення, обміну з зовнішніми запам'ятовуючими пристроями (ЗЗП) й виконання пультових операцій не опрацьовується.

У найзагальнішому вигляді структурна схема проектованої системи може бути представлена так, як зображено на рисунку 1.

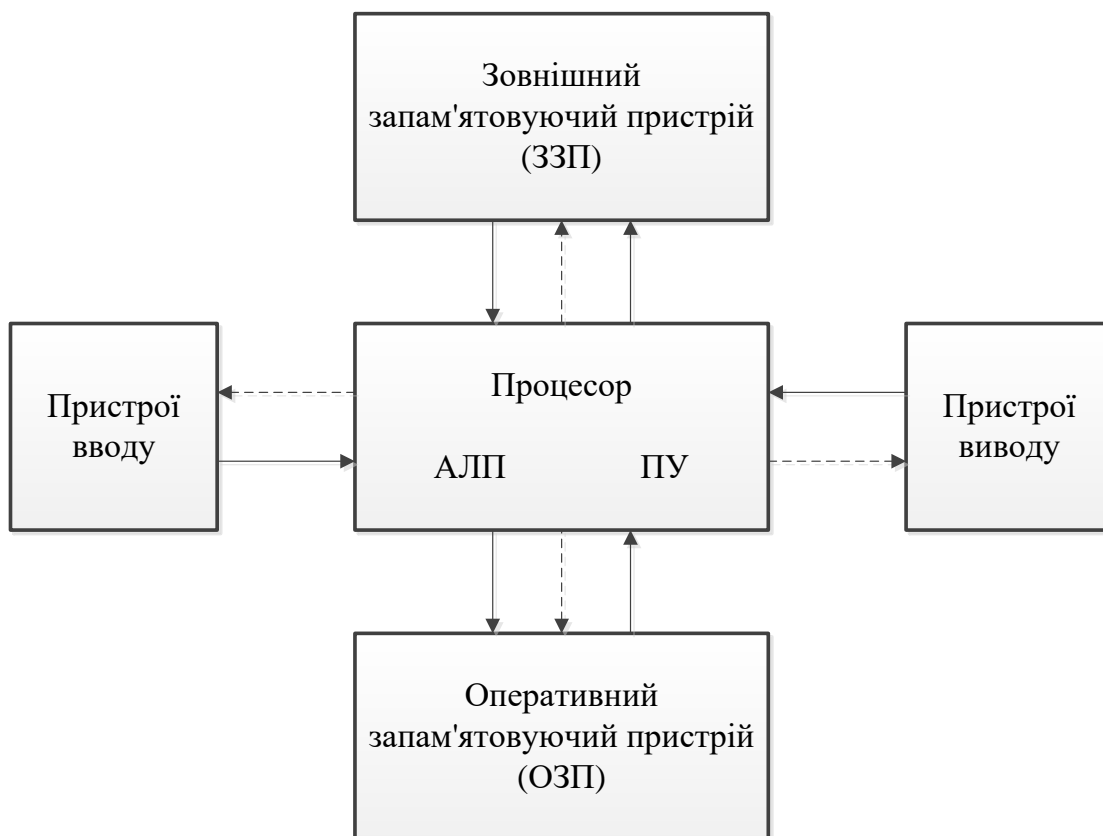


Рисунок 1. Загальна схема проектованої системи

В ході написання курсової роботи таке початкове представлення розкривається і деталізується, поповнюється при необхідності потрібними блоками. Особливості окремих пристроїв даної структури розглядаються нижче. На рисунку 2 представлений граф циклу обробки команди.

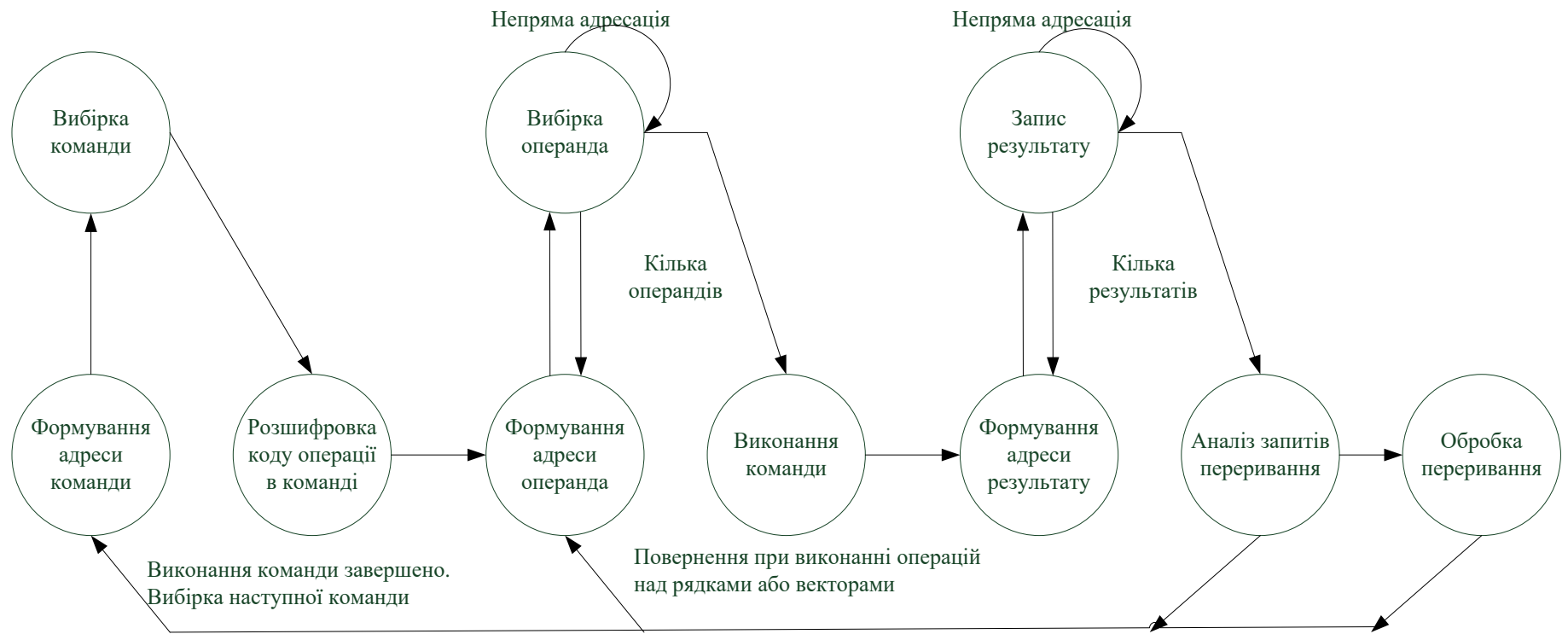


Рисунок 2. Граф обробки команд

Цикл виконання команд можна розбити на наступні основні етапи:

- формування адреси команди;
- вибірка команди з ОП;
- декодування коду операції;
- формування адрес операндів;
- вибірка операнду(ів);
- виконання команди;
- формування адреси результату;
- запис результату(ів);
- можлива обробка переривання.

Примітка: після завершення виконання арифметичної операції необхідно передбачити зміну регістра прапорців (РгП).

Кожна команда, оброблювана процесором, складається з двох частин: коду операції (КОП) та адресної частини (АЧ). Загальний формат команди представлений на рисунку 3.



Рисунок 3. Загальний формат команди

На етапі декодування команди, код операції визначає які саме дії та над якими даними повинна виконати команда. Розмір коду операції визначається кількістю реалізованих команд в процесорі та способу кодування. В курсовій роботі розмір коду операції будемо обчислювати за формулою:

$$L = \log_2 N \quad (1)$$

де L – розрядність коду операції;

N – кількість операцій.

Примітка: величина L повинна бути округлена в більшу сторону до цілого.

В залежності від типу команди її адресна частина може складатися з кілька частин. У рамках курсової роботи розглядаються одноадресні, двоадресні й трьоадресні команди. Їх формат представлено на рисунку 4.

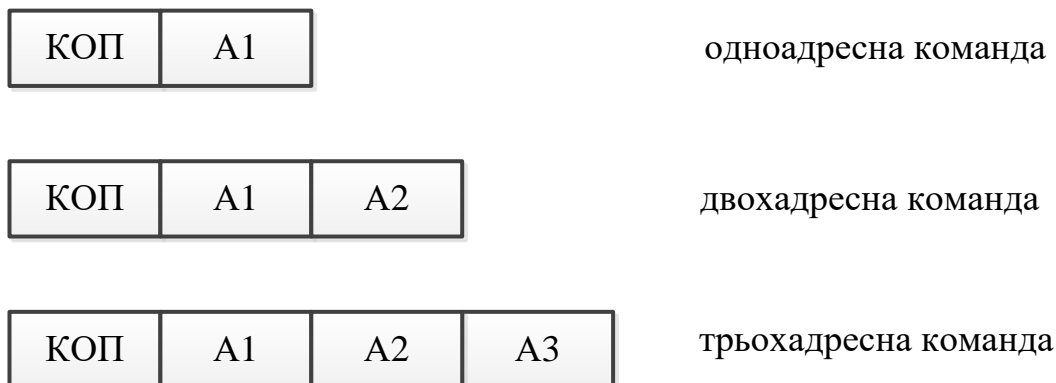


Рисунок 4. Формати команд по адресності

Розмір адресної частини команди залежить від виду адресації, форматів даних й характеристик, кількості пристроїв ЕОМ. В сучасних ЕОМ застосовуються різні способи адресації в командах. Їх використання в значній ступені розширює можливості обчислювальної системи. Звичайно, що формат команди також визначають способи адресації. Різні способи адресації відрізняються порядком перетворення початкової (зазначеної в команді) адреси в виконавчу адресу (за якою, при виконанні команди, відбувається звернення до даних).

В курсовій роботі розглядаються наступні види адресації:

- пряма (регістрова);
- безпосередня;
- неявна;
- відносна;
- індексна.

Пряма адресація. При прямій адресації виконавча адреса співпадає з адресою в команді: $A_{\text{вик}} = A_{\text{к}}$. Сучасні комп'ютери мають достатньо великий

обсяг ОП, що в свою чергу призводить до значного збільшення адресної частини команди. Тому, даний вид адресації не використовується при зверненні до ОП. Пряма адресація переважно використовується для адресації регістрів, тому має другу назву – реєстрова адресація.

Безпосередня адресація. При безпосередній адресації операнд знаходиться в адресному полі команди. «Діставати» його необхідно з регістра команд.

Неявна адресація. Місцезнаходження операнду і результату не задається в команді в явному вигляді, а мається на увазі. Перед виконанням команди місцезнаходження операнду вже відомо автомату управління.

Відносна адресація. Найбільш розповсюджений метод адресації пам'яті. При відносній адресації виконавчий адрес утворюється складанням деякої величини – зміщення, вказаного в адресному полі команди, з вмістом базового регістра, номер якого також вказаний в адресному полі команди: $A_{\text{вик}} = (BR_i) + \text{зміщення} (D)$. Реалізується виконавчий адрес за допомогою суматора (рисунок 5).

Індексна адресація. Індексна адресація використовується при адресації елементів пам'яті. Найбільш широко використовується для формування адреси команд, обробки масивів та рядків. Виконавчий адрес формується шляхом складення зміщення, вказаного в адресному полі команди, з вмістом базового та індексного регістрів, номери яких також вказані в адресному полі команди: $A_{\text{вик}} = (BR_i) + (IR_i) + \text{зміщення} (D)$. Реалізується виконавчий адрес за допомогою суматора (рисунок 6).

Базові адреси при динамічному розділенні пам'яті змінюються в процесі виконання програми або при різних її реалізаціях.

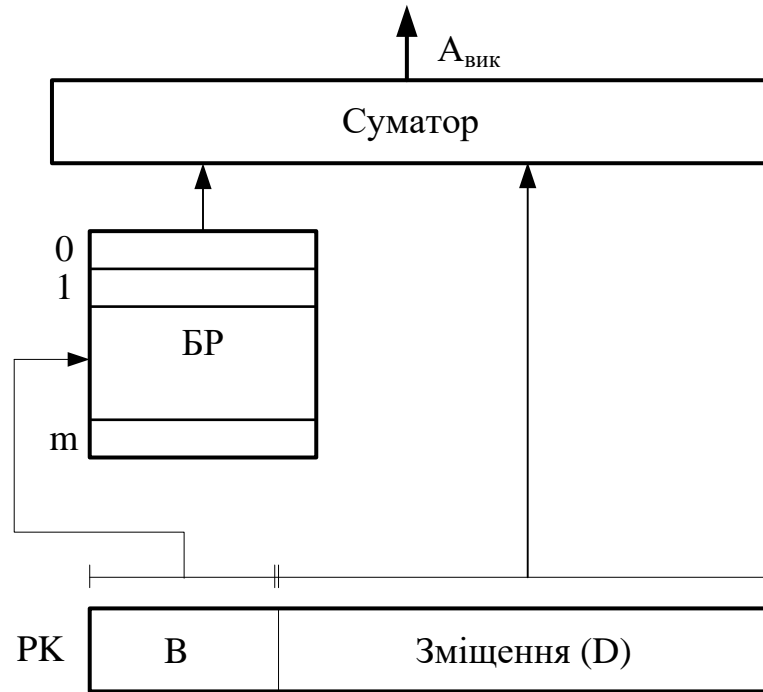


Рисунок 5. Формування виконавчої адреси при відносній адресації

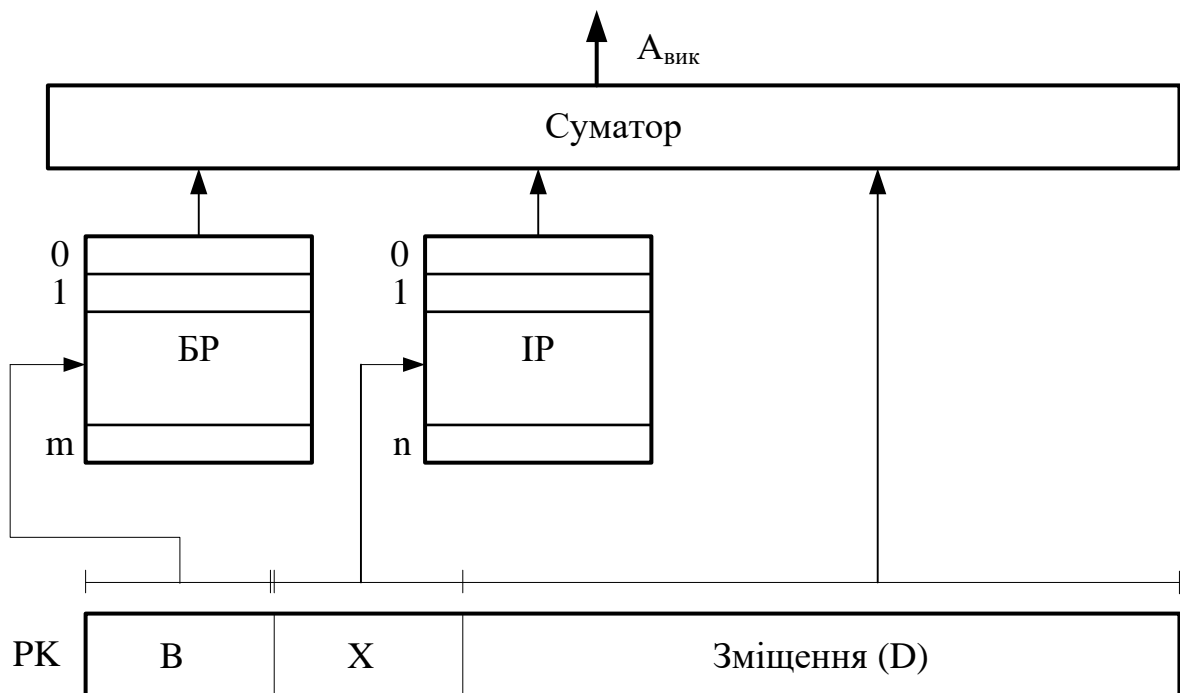


Рисунок 6. Формування виконавчої адреси при індексній адресації

Якщо цієї інформації виявиться недостатньо, то доцільно ознайомитися з додатковою інформацією, користуючись [1...9].

5 ПОРЯДОК ВИКОНАННЯ РОБОТИ

5.1 ФОРМАТИ КОМАНД

Структура команди визначається на основі адресності процесора, способів адресації і типів команд. У завданні на курсовий проект частково оговорені елементи структури команди. Вочевидь не зазначені вимоги реалізуються студентом на власний розсуд, тобто в даній частині проекту критерій ефективності для оцінки різних варіантів можна не використовувати. Структуру і формат команд спочатку доцільно розробляти окремо для кожної групи команд. При цьому, в якості прототипу можна використовувати системи команд: ЄС ЕОМ, СМ ЕОМ, процесорів сімейства Intel та ін. В роботі розглядаються одно, двох та трьохадресні команди. Кожна команда складається з коду операції (КОП) і адресної частини, яка в свою чергу може містити адресу(и) операнду(ів) або адресу переходу. За видами адресації складові адресної частини можуть набувати наступних значень:

R – пряма адресація, посилання на один з РЗП (регістрів загального призначення);

S – відносна адресація, посилання на комірку пам'яті. Виконавча адреса виходить шляхом додавання двох складових: базового регістра та зміщення;

X – відносна адресація, посилання на комірку пам'яті. Виконавча адреса виходить шляхом додавання трьох складових: базового регістра, індексного регістра та зміщення;

I – безпосередня адресація, операнд знаходиться в адресному полі команди.

Для визначення розрядності всіх складових команди необхідно враховувати структуру проєктованого пристрою. У кодї операції необхідно визначити біти і їх кодування для визначення типу операції, формат команди і місця збереження результату (наприклад, для двоадресної команди результат може бути збережений за адресу першого або другого операнду).

В залежності від адресності, команди можуть виконувати такі типи операцій (це повинно бути визначено в алгоритмах їх обробки):

- одноадресні – АО, ПО, БП, УП;
- двоадресні – АО, ПО;
- триадресні – АО.

Приклад. Розробити формати команд для наступних вихідних даних (рисунок 7):

- кількість команд (200);
- кількість регістрів загального призначення (8)
- кількість базових регістрів (6);
- кількість індексних регістрів (3);
- розмір операнду (16 біт);
- формат команди RS, SXI;
- розмір сторінки (4 Кб).

КОП	R1	B2	D2	
0 7	8 10	11 13	14 25	31

КОП	B1	D1	B2	X2	D2	I3
0 7	8 10	11 22	23 25	26 27	28 39	40 55

Рисунок 7. Приклади форматів команд

Примітка. 1. При виконанні операції переходу необхідно змінити вміст буфера передвибірки (заповнити його корисними командами).

2. У одноадресній команді другий операнд заданий неявно (наприклад Rr1 або Rr2). Розрядність операнду і розмір сторінки обирається студентом самостійно.

3. У курсовій роботі необхідно представити опис бітів коду операцій, що відповідають за тип операції, формат команди, місце збереження результату виконання арифметичної операції.

5.2 СТРУКТУРА ПРОЦЕСОРА

Пристрій управління процесора призначений для реалізації певних завдань команд процесора, тому його склад і структура повинні відповідати зазначеним обмеженням і вимогам. До них в першу чергу відносяться способи адресації, адресність команд, характер зав'язків між вузлами (безпосередні або магістральні), розміщення регістрів загального призначення та ін. Розробка структури процесора виконується відповідно до варіанту завдання. На структурі повинні бути відображені всі елементи розроблюваного процесора, їх розрядність, зв'язок між ними, а також пам'ять пристрою. На рисунку 8 наведений приклад пристрою процесора і пам'яті. У прикладі наведена тільки розрядність регістра команд, тому що він буде розглядатися в розділі визначення форматів команд.

Розрядність регістрів даних визначається обраною розрядністю операндів. Розрядність базових регістрів, суматора адреси, лічильника адреси команд, регістра адреси - розміром ОП, згідно завдання. Розрядність лічильників для роботи з буфером передвибірки – розміром буфера передвибірки.

Розрядність регістра команд обирається виходячи з максимального розміру команди, отриманого після розробки форматів команд, яка доведена до цілого байту.

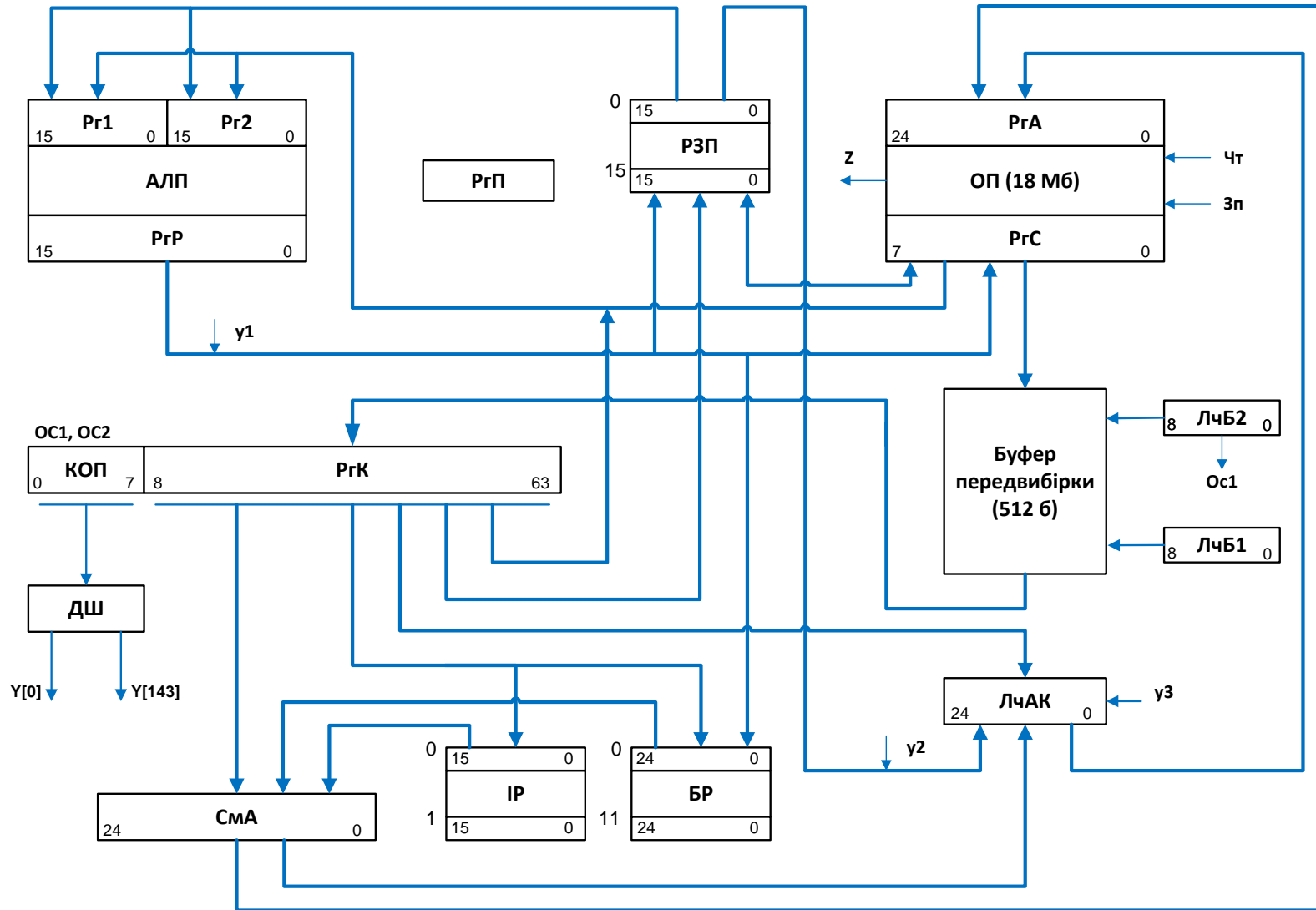


Рисунок 8. Структура процесора

5.3 АЛГОРИТМ РОБОТИ БУФЕРА ПЕРЕДВИБІРКИ

Буфер передвибірки розташований всередині процесора, має заданий розмір і організацію. Призначення буфера передвибірки пов'язаний з розмірами команд і ширини вибірки. У ряді випадків за одне звернення до пам'яті можливий витяг кількох команд, а можливо, що тільки частина однієї. Будемо вважати, що буфер передвибірки працює незалежно від інших пристроїв і не може бути переповнений (команди виконуються швидше, ніж відбувається процес їх завантаження з пам'яті). На рисунку 9 показаний загальний вигляд алгоритму заповнення буфера передвибірки.

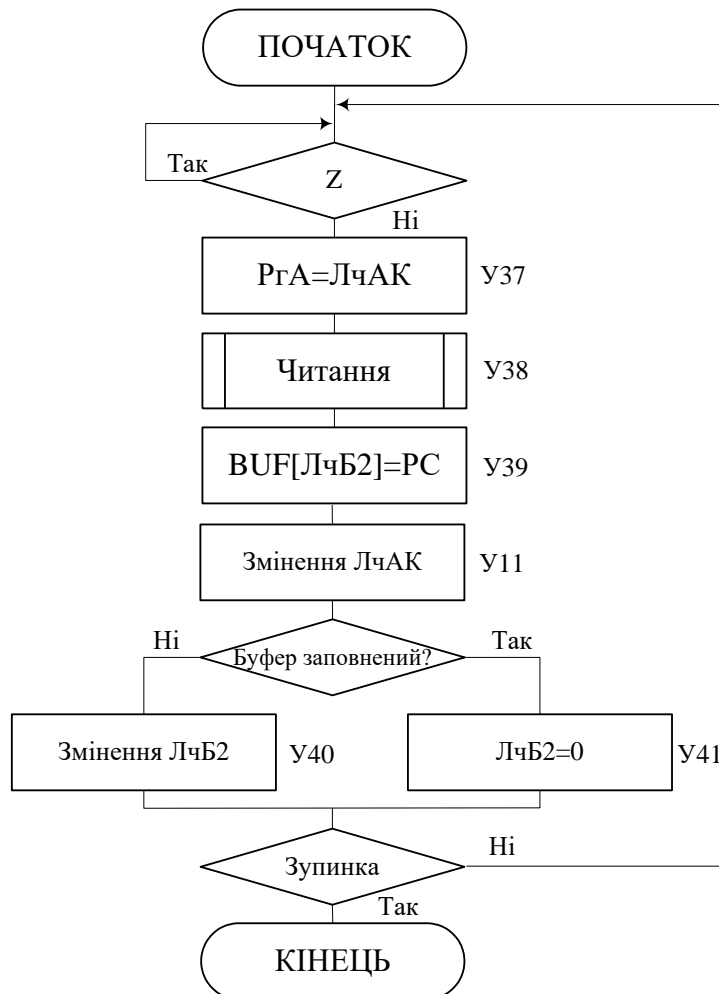


Рисунок 9. Алгоритм заповнення буфера передвибірки

Команди з пам'яті спочатку потрапляють в буфер передвибірки, а потім в реєстр команд. На структурі процесора буфер зображений разом з двома лічильниками ЛчБ1 і ЛчБ2. ЛчБ2 працює як покажчик місця куди будуть поміщені дані, які надходять з пам'яті. ЛчБ1 вказує на дані (перший байт команди), які необхідно переслати в реєстр команд. Коли покажчики доходять до кінця буфера, вони повинні бути змінені на адресацію початку буфера. Значення ЛчБ2 змінюється на величину ширини вибірки, а ЛчБ1 на величину розміру команди.

5.4 АЛГОРИТМ ОБРОБКИ КОМАНД

На рисунку 10 показаний загальний вигляд алгоритму обробки команд.

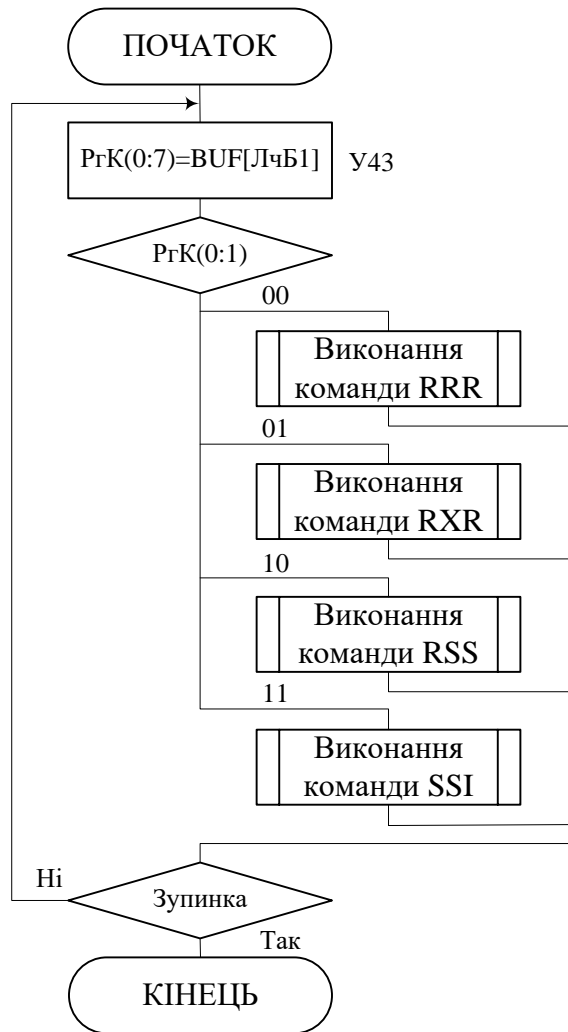


Рисунок 10. Загальний алгоритм обробки команд

На рисунку 11 наведений приклад алгоритму обробки двоадресної команди формату RS.

Згідно з завданням в роботі передбачені чотири формати команд і чотири типи операцій. При цьому кількість типів операцій для кожного формату команд визначена вище. Виходячи з цього, для кодування формату команд необхідно два біта коду операції, для кодування типу операції необхідно два або один біт коду операції і один біт для вказівки приймача результату.

Будемо вважати, що після виконання арифметичної операції результат буде знаходитися в регістрі результату АЛП.

Спочатку, за значенням лічильника ЛчБ1, з буфера передвибірки в регістр команд пересилається перший старший байт команди. Дешифрується код операції і визначається формат команди. Для цього використовуються 0 та 1-й біти коду операції. Знаючи формат команди, пересилаються інші байти команди. В результаті в регістр команд повинна бути завантажена повністю команда, яка готова до виконання.

Далі дешифрується тип операції і виконуються відповідні їй дії. Завдання на курсову роботу не передбачає розробку алгоритмів виконання арифметичних операцій.

Відповідно до алгоритму, 2 і 3-й біти коду операції визначають тип операції. Двоадресна команда реалізує два типи операцій: АО і ПО. 4-й біт коду операції позначає приймач результату або напрямок пересилки даних.

Кодування форматів команд, типів операцій і розміщення результату виконується самостійно і наводиться в опис до курсової роботи.

Примітка. Даний алгоритм повинен додатково аналізувати значення ЛчБ1 за переповненням.

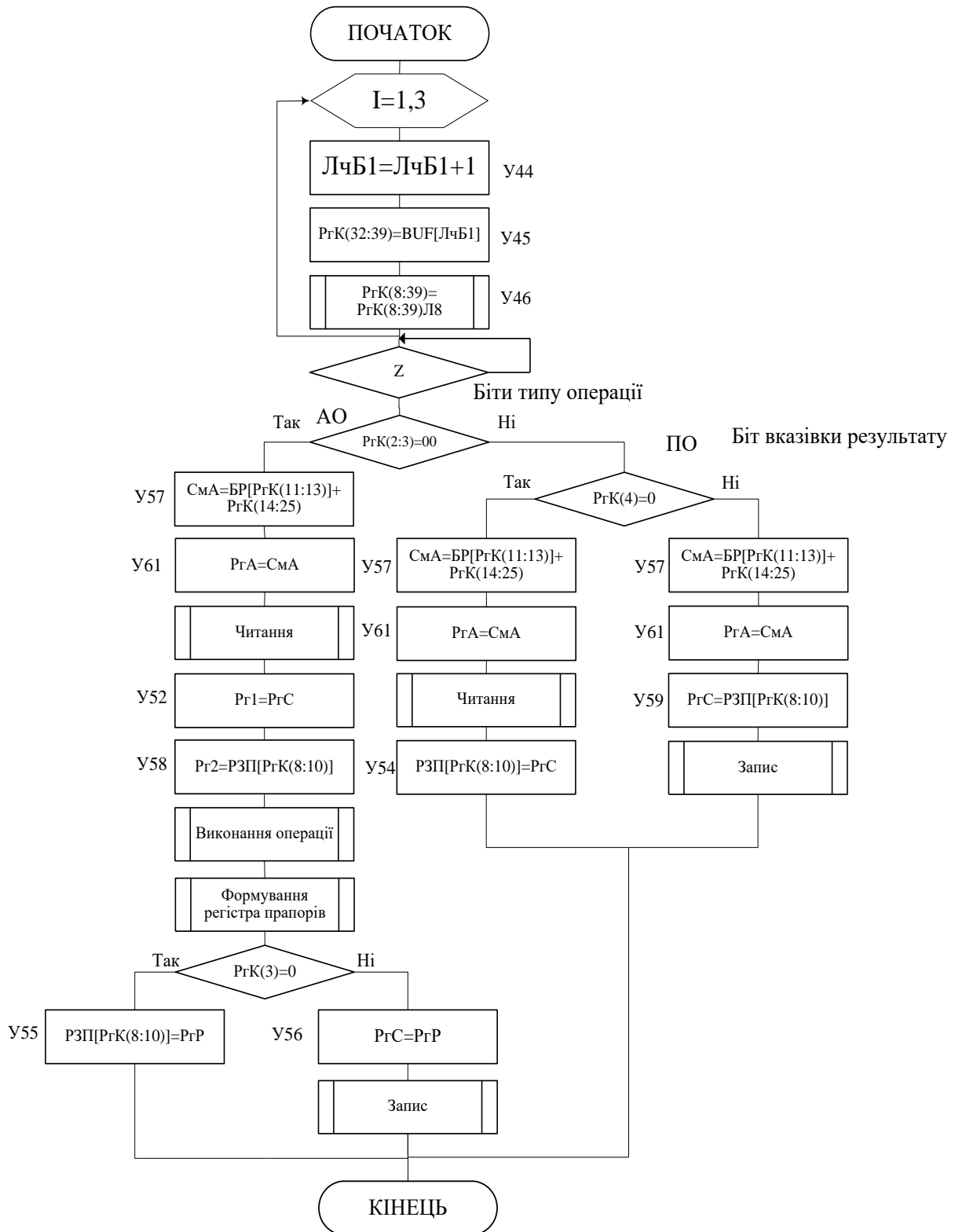


Рисунок 11. Приклад алгоритму обробки команди формату RS

5.5 ПЕРЕЛІК КЕРУЮЧИХ ТА ОСВІДОМЛЮЮЧИХ СИГНАЛІВ

Перелік керуючих та освідомлюючих сигналів оформлюється у вигляді таблиць, як це показано нижче в якості прикладу (таблиці 1,2). Усі сигнали повинні бути винесені на схему і прив'язані до своїх пристроїв та ліній зв'язку між пристроями. Керуючі сигнали відображаються у вигляді стрілок з підписом номера сигналу (див. рис. 7). Якщо до деякого пристрою надходять декілька керуючих сигналів, то вони можуть бути відображені над однією і тією ж стрілкою через кому. Так само керуючі сигнали відображаються на алгоритмах, як це показано на рисунках вище. Освідомлюючі сигнали прописуються біля блоків умови в алгоритмах і пристроях на схемі.

Таблиця 1. Перелік керуючих сигналів

№ п/п	Сигнал	Дія
1	У1	$R3П[RгК(14:16)]=RгP$
2	У2	$ЛчАК=R3П[RгК(8:10)]$
3	У3	$ЛчАК=ЛчАк+3$

Таблиця 2. Перелік освідомлюючих сигналів

№ п/п	Сигнал	Стан
1	Ос1	$ЛчБ2=55$
2	Ос2	$RгК(2:4)=\#000 - \#011$
3	Ос3	$RгК(2:4)=\#100$

5.6 РЕГІСТР ПРАПОРІВ

Значення реєстра прапорців формується в алгоритмах виконання операції. В курсовій роботі необхідно представити значення бітів цього реєстра. Наприклад, 0-й біт відповідає за знак результату, 1-й за нульовий результат і т.д.

Реєстр прапорців аналізується в алгоритмах обробки умовних переходів.

6. СПИСОК ЛІТЕРАТУРИ

1. Харріс Д. М., Харріс С. Л. Цифрова схемотехніка та архітектура комп'ютера : підручник. Уолтем : Морган Кауфман, 2013. 1662 с.
2. Матвієнко М. П., Розен В. П., Закладний О. М. Архітектура комп'ютерів : навч. посіб. Київ : Ліра-К, 2019. 264 с.
3. Карачка А. Ф., Дудко О. І. Архітектура комп'ютерів : навч. посіб. / за ред. А. О. Саченка. Тернопіль : Економічна думка, 2010. 180 с.
4. Тарарака В. Д. Архітектура комп'ютерних систем : навч. посіб. Житомир : ЖДТУ, 2018. 383 с.
5. Антоненко О. В., Бардус І. О. Архітектура комп'ютера та конфігурування комп'ютерних систем (на основі фундаменталізованого підходу) : навч. посіб. Бердянськ : БДПУ, 2018. 292 с.
6. Голотенко О. С. Архітектура комп'ютерних систем: конспект лекцій. Тернопіль : ТНТУ імені Івана Пулюя, 2016. 120 с.
7. Linda Null, Julia Lobur. Essentials of Computer Organization and Architecture. Burlington, MA : Jones & Bartlett Learning, 2018. 744 с.
8. Paul D. Crutcher, Neeraj Kumar Singh, Peter Tiegs. Essential Computer Science. Apress, 2021. 290 с.
9. William Stallings. Computer Organization And Architecture. PEARSON, 2015. 864 с.
10. Архітектура комп'ютерів. Процесори. *СДН «Лідер»*. URL: <https://lider.diit.edu.ua/course/view.php?id=1792> (дата звернення: 12.03.2023).

ДОДАТОК А

Таблиця А. Варіанти завдань для курсової роботи

№ Варіанта	Операції переходу				Формати ко-манд	Ширина вибірки з ОЗП, біт	Розмір буферу передвибірки, байт	Кількість РЗП	Кількість ІР	Кількість БР	Розмір ОЗП	Кількість операцій
	БУС	УПШ	УПН	УПЗ								
1					R, SX, SI, RXI	8	128	10	2	4	128КБ	86
2					S, XX, RS, SRX	16	256	14	3	7	256КБ	98
3					S, RX, SS, RXR	24	512	16	2	12	512КБ	129
4					X, RR, SX, XRS	32	1024	18	5	6	1МБ	150
5					R, XI, RS, SSX	8	256	6	4	14	2МБ	38
6					S, RI, XX, XRS	16	512	7	8	8	4МБ	250
7					S, SR, RX, SRI	24	1024	10	11	2	8МБ	300
8					X, RR, IX, SXS	32	128	14	3	7	16МБ	400
9					R, SS, RR, XXI	8	512	16	2	12	128КБ	280
10					S, IX, SR, RXR	16	1024	18	5	6	256КБ	360
11					X, XR, IX, RXX	24	128	6	4	11	512КБ	122
12					R, SX, SI, RXI	32	256	7	8	8	1МБ	159
13					S, XX, RS, SRX	8	1024	11	4	16	2МБ	86
14					S, RX, SS, RXR	16	128	13	2	5	4МБ	98
15					X, RR, SX, XRS	24	256	17	3	7	8МБ	129
16					R, XI, RS, SSX	32	512	19	2	12	16МБ	150
17					S, RI, XX, XRS	8	512	21	5	6	128КБ	38
18					S, SR, RX, SRI	16	1024	7	4	12	256КБ	250
19					X, RR, IX, SXS	24	128	11	8	8	512КБ	300
20					R, SS, RR, XXI	32	256	13	4	2	1МБ	400
21					S, RX, SI, RXR	8	128	17	3	7	2МБ	280
22					X, XR, IX, RXX	16	128	19	2	12	4МБ	360
23					X, RR, SX, XRS	24	512	21	5	6	8МБ	122
24					R, XI, RS, SSX	32	2048	22	4	7	16МБ	159
25					S, RI, XX, XRS	16	512	10	6	8	2МБ	340

Навчально-методичне видання

Єгоров Олег Йосипович
Шаповалов Володимир Олександрович
Беляєв Микола Борисович

АРХІТЕКТУРА КОМП'ЮТЕРІВ

Методичні рекомендації для виконання курсової роботи

Редактор А. В. Безверхня
Комп'ютерна верстка В. В. Бердо

Формат 60x84 ¹/₁₆. Ум. друк. арк. 1,39. Обл.-вид. арк. 1,41.
Зам. № 45

Український державний університет
науки і технологій

Свідоцтво суб'єкта видавничої справи ДК № 7709 від 14.12.2022

Адреса видавця та дільниці оперативної поліграфії:
вул. Лазаряна, 2, Дніпро, 49010